

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **04139729 A**

(43) Date of publication of application: **13.05.92**

(51) Int. Cl

H01L 21/338

H01L 21/60

H01L 27/12

H01L 29/812

(21) Application number: **02260574**

(71) Applicant: **HITACHI LTD**

(22) Date of filing: **01.10.90**

(72) Inventor: **KUDO SUMIHISA**

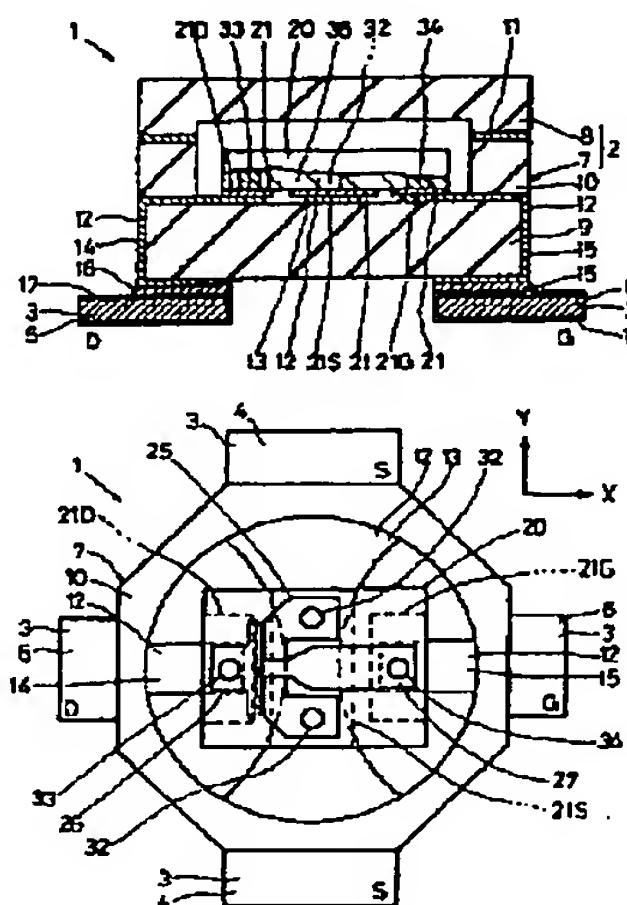
(54) **SEMICONDUCTOR DEVICE**

COPYRIGHT: (C)1992,JPO&Japio

(57) Abstract:

PURPOSE: To improve the assembling workability, reduce the parasitic capacitance, and improve the frequency characteristic of a semiconductor device by fixing electrode terminals to metallized layers on a base by direct bonding.

CONSTITUTION: Metallized layers (conductor layers) 12 are partially provided on the surface of the main body 9 of a base 7 from the main surface to the rear through the peripheral surface. The layers 12 are composed of a metallized layer 13 for source, metallized layer 14 for drain, and metallized layer for gate 15. The base 7 is formed in one body. Source leads 4, drain leads 5, and gate leads 6 are respectively connected to the layers 13, 14, and 15 extended to the lower surface of the base 7 with a bond 16. Electrode terminals 21 of an SHF-band low-noise GaAs FET chip (semiconductor element), concretely, a source electrode terminal 21S, drain electrode terminal 21D, and gate electrode terminal 21G are fixed to these metallized layers.



⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

平4-139729

⑬ Int. Cl.⁵

識別記号

庁内整理番号

⑭ 公開 平成4年(1992)5月13日

H 01 L 21/338
21/60
27/12
29/812

3 1 1 S
G

6918-4M
7514-4M

7735-4M H 01 L 29/80

G

審査請求 未請求 請求項の数 2 (全7頁)

⑮ 発明の名称 半導体装置

⑯ 特 願 平2-260574

⑰ 出 願 平2(1990)10月1日

⑱ 発 明 者 工 藤 純 久 群馬県高崎市西横手町111番地 株式会社日立製作所高崎工場内

⑲ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

⑳ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 絶縁性のベースと、このベースの主面に気密的に固定されたキャップと、前記ベースの主面から周面を遡りかつ裏面に亘って延在するように設けられた電気的に独立した複数のメタライズ層と、前記ベースの裏面にそれぞれ前記メタライズ層に電気的に接続するように固定されたリードと、前記ベース主面に固定される半導体チップとからなり、かつ前記半導体チップは半導体チップ表面の各電極端子が直接前記ベース主面の各メタライズ層に重なって電気的、機械的に接続されていることを特徴とする半導体装置。

2. 前記半導体チップは半導体チップ主面の各電極が半導体チップの表面を貫くように設けられた貫通孔に充填された導体を介して半導体チップの裏面に設けられた各電極端子にそれぞれ電

気的に独立して接続され、かつ前記半導体チップ裏面の電極端子が前記ベース主面のメタライズ層に接合されていることを特徴とする特許請求の範囲第1項記載の半導体装置。

3. 発明の詳細な説明

(産業上の利用分野)

本発明は半導体装置、特にGaAsFET(砒化ガリウム電界効果トランジスタ)やHEMT(High Electron Mobility Transistor: 高電子移動度トランジスタ)等の超高周波トランジスタに関し、たとえば、セラミック製パッケージ構造の超高周波トランジスタの製造に適用して有効な技術に関する。

(従来の技術)

低雑音、高遮断周波数、高出力等の特長を有するマイクロ波トランジスタとして、閃亜鉛鉱型結晶構造の基体を基にして形成されたGaAsFETが広く知られている。また、このGaAsFETの一つとして、ショットキ障壁ゲート形電界効果トランジスタ(MESFETとも称する。)が

知られている。GaAs-MESFETはn導電型の能動領域主面に設けられたオーミック接触構造のソース・ドレイン電極と、その中間に一つあるいは二つ設けられたショットキ接合構造のゲート電極とからなり、シングルゲート構造あるいはデュアルゲート構造を構成している。

近年、GaAs-MESFETは衛星放送受信用半導体装置としても使用されている。衛星放送受信用のSHF帯低雑音GaAs-FETについては、たとえば、株式会社オーム社発行「ナショナル テクニカル レポート (National Technical Report)」1986年4月号、昭和61年4月18日発行、P26～P34に記載されている。この文献には、低雑音化のためには、入力容量の低減が重要であり、記載されている半導体装置の場合には、寄生入力容量の低減のために、チップ（半導体素子）上のボンディングパッド（ワイヤボンディングパッド）の面積を必要最小限に設計するとともに、セラミック製のパッケージを採用している旨記載されている。

着ボール径40～50 μ m、総合位置精度 $\pm 4 \sim \pm 5 \mu$ mの装置が必要と予測しているが、現段階では100～130 μ mが実用レベルと考えられる。

微細ワイヤによるボール縮小は、もっとも効果的と思われるが、ループコントロール性、樹脂封止時のワイヤ流れおよびボトルネックキャピラリの品質、ライフ面での信頼性が課題である。」旨記載されている。

他方、特公昭61-18351号公報には、パワーFETにおいて、インダクタンスおよび熱抵抗を低減するために、表面の電極と裏面の金属層をコンタクトする構造が開示されている。

（発明が解決しようとする課題）

GaAs-MESFETは、半絶縁性基板の主面よ設けられた能動領域を利用して製造される。この結果、ソース、ドレイン、ゲートの各電極は、いずれも基板の主面（上面）側に設けられることになる。したがって、組立においては、チップはその裏面を介してベース主面に固定され、チップ

一方、半導体素子の電極、すなわち、ワイヤボンディングパッドとリードとを電気的に接続するワイヤボンディングは、たとえば、工業調査会発行「電子材料別冊」昭和61年11月18日発行、P123～P129に記載されているように、大別して熱圧着法（TC法）、超音波熱圧着法（TS法）、超音波法（US法）のように3方式がある。前記熱圧着法および超音波熱圧着法では、ワイヤの先端を球状（ボール）化した後、このボール部分をキャピラリの先端面で押し潰し、これによりワイヤ先端をワイヤボンディングパッドに圧着固定する。この圧着固定の際、超音波熱圧着法ではキャピラリを振動させる。

また、同文献には、技術的問題点として以下のことが記載されている。

すなわち、この文献には、「超LSI、ASIC品では高集積化、多ピン化、表面実装化へと進展してきており、精度要求は一段と強まっている。TSボンディングで70 μ mパッドピッチ以下を想定した場合、ワイヤサイズ18～20 μ m、圧

の主面の各電極はワイヤを介してベース主面のメタライズ層にそれぞれ電気的に接続される。この場合、ワイヤのインダクタンスを低くするために、同一間を複数のワイヤで接続している。複数のワイヤボンディングパッドを同一電極領域に設けるためには、パッドサイズはより小さなものが、チップを大型化しないためにも要求される。また、各ボンディング方法においても、パッドサイズには下限がある。

しかし、パッドサイズの縮小化はワイヤボンディング手法を採用する限り、これ以下に小さくできないであろうことに本発明者は気が付いた。

一方、前記ワイヤボンディングは、一本ずつワイヤを張ることから、ワイヤ本数の増大はワイヤボンディング時間の増大をもたらす。

本発明の目的は、寄生入力容量の低減を可能とする半導体装置を提供することにある。

本発明の他の目的は、電極接合部のパッドの小型化によって高周波特性が優れた半導体装置、たとえば、SHF帯低雑音GaAs-FETを提供す

ることにある。

本発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面からあきらかになるであろう。

(課題を解決するための手段)

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記のとおりである。

すなわち、本発明の半導体装置は、セラミックからなるベースの主面にチップを搭載するとともに、このベースの主面側に前記チップを被うようにセラミックのキャップが気密的に取り付けられ、かつベースの裏面にリードが固定された構造となっている。また、前記ベースの主面からベースの周面およびベースの裏面に亘ってそれぞれ電氣的に独立したメタライズ層が設けられていて、これらメタライズ層はベースの主面ではチップのソース電極、ドレイン電極、ゲート電極に連なるパッドが接合され、ベース裏面では前記リードが接合されている。また、前記チップは、半絶縁性基板

縁性基板の裏面に設けられた電極端子に電氣的に接続された構造となり、かつこの電極端子がベース主面のメタライズ層に直接接合される構造となっていることから、その製造において、一度のフライメントによる半導体チップの一度の接合で、複数個所の電極端子とリードの接合が同時に行なえ、組立工数の向上が達成できる。

(実施例)

以下図面を参照して本発明の一実施例について説明する。

第1図は本発明の一実施例によるSHF帯低雑音GaAs-MESFETを構成する半導体装置の概要を示す断面図、第2図は同じくキャップを取り外した半導体装置の一部を模式化した平面図、第3図は同じくチップの模式的平面図、第4図は同じくチップの底面図、第5図は同じくチップの拡大断面図、第6図は同じくチップを取り外したベースの平面図である。

この実施例の半導体装置、すなわち、SHF帯低雑音GaAs-MESFETを構成する半導体

の主面側に能動層を有し、この能動層を利用してソース(S)、ドレイン(D)、ゲート(G)が形成され、かつソース電極、ドレイン電極、ゲート電極のパッドは前記基板を貫通する貫通孔に充填された充填導体を介してチップの裏面に形成された各電極端子に電氣的に繋がり、さらにこれらの各電極端子が直接前記メタライズ層に接合される構造となっている。前記貫通孔の直径は50 μ m程度となるとともに、前記パッドは一辺が50 \sim 60 μ m程度の略矩形状となっている。

(作用)

上記した手段によれば、本発明の半導体装置は、ソース電極、ドレイン電極、ゲート電極のパッドは一辺が50 \sim 60 μ mとなる略矩形状となり、従来のこの種半導体装置のパッド寸法に比較して小さくなり、寄生入力容量の低減が図れる。したがって、高周波特性の向上が達成できる。

本発明の半導体装置にあつては、ソース電極、ドレイン電極、ゲート電極のパッドは、半絶縁性基板の貫通孔に充填された充填導体を介して半絶

装置は、第1図および第2図に示されるような構造となっている。半導体装置1は、第2図に示されるように八角柱状のセラミックからなるパッケージ2と、このパッケージ2の下面にそれぞれ一端が取り付けられた複数のリード3とからなっている。前記リード3はパッケージ2の中心を原点とするXY平面にあって、それぞれXY軸方向に沿って十字状に延在している。そして、±Y方向に延在する太いリードはソースリード4となるとともに、+X方向に延在するリードはドレインリード5となり、-X方向に延在するリードはゲートリード6となっている。

パッケージ2はベース7と、このベース7の主面、すなわち、上面を塞ぐキャップ8とからなっている。前記ベース7はセラミックからなる八角形板のベース本体9と、このベース本体9の主面周縁部分に設けられた外周が八角形枠状体からなるセラミックの枠部10とからなっている。前記キャップ8は枠部10の上面で接合材11を介して気密的に固定されている。前記ベース本体9に

あっては、ベース本体9の主面からその周面および裏面に亘って部分的にメタライズ層(導体層)12が設けられている。これらメタライズ層12は、ソース用メタライズ層13、ドレイン用メタライズ層14、ゲート用メタライズ層15となっている。前記ベース7は積層印刷法等によって形成され、かつ焼成によって一体的に形成される。

前記ソースリード4およびドレインリード5ならびにゲートリード6は、前記ベース7の下面に延在するソース用メタライズ層13、ドレイン用メタライズ層14、ゲート用メタライズ層15に対応して、それぞれ接合材16を介して接続されている。なお、各リード3はその表面にメッキ膜17が設けられている。

一方、前記ベース7におけるベース本体9にあっては、第2図および第6図に示されるように、ベース本体9の主面からその周面および裏面に亘って、ソース用メタライズ層13、ドレイン用メタライズ層14、ゲート用メタライズ層15がそれぞれ設けられている。そして、前記ソース用メ

ソース22とドレイン23との間に一本のゲート24を設けたシングル・ゲート構造となっている。ソース電極25、ドレイン電極26、ゲート電極27は、第3図に示すようなパターンとなり、各電極部の一部、すなわち、第3図でハッチングを施した部分がソースパッド28、ドレインパッド29、ゲートパッド30となっている。このパッド部分が、ワイヤボンディングによるチップ構造におけるワイヤボンディングパッドに対応するものである。しかし、この実施例のチップ20は、ワイヤボンディングを必要としない構造である。

一方、チップ20の裏面は、第4図に示されるように電極端子21(ソース電極端子21S、ドレイン電極端子21D、ゲート電極端子21G)が設けられている。そして、前記各パッド28、29、30は、第5図に示されかつ第3図および第4図で点線円で示される貫通孔(バイアーホール)に充填された導体32、33、34によって電氣的に接続されている。したがって、前記パッドの寸法は、理論的には前記貫通孔の直径寸法に

タライズ層13は、その中央が最も幅が狭く、ベース本体9の周縁に向かうにつれて拡開する鼓形状となっている。また、前記ドレイン用メタライズ層14およびゲート用メタライズ層15の先端部分は、前記鼓形状のソース用メタライズ層13の最も細い部分の側方に延在している。そして、これらメタライズ層部分、すなわち、第6図においてハッチングを施してそれぞれ示すソース用メタライズ層13におけるソース用接合部13S、ドレイン用メタライズ層14におけるドレイン用接合部14D、ゲート用メタライズ層15におけるゲート用接合部15Gに、第1図に示されるように、後述するSHF帯低雑音GaAsFETのチップ(半導体素子)20の電極端子21、具体的にはソース電極端子21S、ドレイン電極端子21D、ゲート電極端子21Gが固定されている。

このSHF帯低雑音GaAs-MESFETのチップ20は、第3～第5図にされるようになっているが、第1図は模式的に矩形状として示してある。チップ20は、第3図に示されるように、

貫通孔と電極形成時のアライメントの余裕寸法の和なる寸法にまで小さくすることができ、50 μ m以下とすることができる。

チップ20は、第5図に示されるように、GaAsからなる半絶縁性基板35と、この基板35主面に形成されたn形の能動層36と、この能動層36の両側部上にそれぞれ設けられたn⁺形のオーミックコンタクト層37とからなり、アクティブ領域を外れた部分は、前記オーミックコンタクト層37および能動層36はエッチング除去され、いわゆるメサ構造となっている。このチップ20、すなわち、基板35の主面は選択的に絶縁膜40で被われている。また、前記オーミックコンタクト層37上には、別々にソース電極25およびドレイン電極26が設けられている。前記ソース電極25およびドレイン電極26は、1 μ m程度の厚さのMo/Auで形成されている。また、これらソース電極25とドレイン電極26との間の能動層36上、厳密に言えば、リセスエッチングによって形成されたリセス溝底には、Alから

なるゲート電極27が設けられている。また、前記ソース電極25およびドレイン電極26は層間絶縁膜41で被われている。そして、前記ゲート電極27は、前記層間絶縁膜41上を延在し、先端は前記絶縁層36やオーミックコンタクト層37が除去された半絶縁性基板35上に達している。また、チップ20の主面全体はパッシベーション膜42で被われている。なお、この実施例では前記ゲート電極27は一体もので形成したが、前記リセス底のゲート電極と、このゲート電極から層間絶縁膜41上を延在し、かつ貫通孔に至る電極部分を別に形成するようにしてもよい。

一方、前記チップ20の裏面には、厚さ5 μ m程度の金からなる電極端子21が設けられている。この電極端子21は、具体的には、ソース電極端子21S、ドレイン電極端子21D、ゲート電極端子21Gとなり、第4図に示されるように、チップ20の主面の電極パターンに略対応して設けられている。

他方、前記ソース電極25、ドレイン電極26、

なるパッドと、チップ裏面に設けた電極端子とを、チップを貫通して形成した導体を介して電気的に接続し、前記電極端子をパッケージを構成するベースのメタライズ層に接合する構造となっていることから、前記パッドの寸法を50 μ m \square 以下と小さくすることができ、寄生入力容量の低減を図ることができるという効果が得られる。

(2) 上記(1)により、本発明の半導体装置は、超高周波トランジスタを構成しているが、寄生入力容量の低減によって低雑音化等の高周波特性の向上が達成できるという効果が得られる。

(3) 上記(1)により、本発明によれば、パッドの小型化と各電極においてパッドを単一とすることができることから、チップサイズの小型化が達成できるという効果が得られる。

(4) 上記(3)により、本発明によれば、半導体素子の小型化によるパッケージの小型化によってより小型の半導体装置を提供することができる。

(5) 上記(1)により、本発明の半導体装置はその組立において、ベース上にチップを直接固定

ゲート電極27の一部、すなわち、ソースパッド28、ドレインパッド29、ゲートパッド30は、半絶縁性基板35(チップ20)を貫通して設けられた貫通孔(バイアーホール)に充填された導体32、33、34を介して、半絶縁性基板35の裏面に設けられた電極端子21(ソース電極端子21S、ドレイン電極端子21D、ゲート電極端子21G)にそれぞれ電気的に接続されている。前記ソースパッド28、ドレインパッド29、ゲートパッド30の各パッドは、その大きさが50 μ m \square 以下に形成されている。

このようなチップ20は、前記ベース7の主面側に位置決めされて重ねられ、ベース7の主面のソース用メタライズ層13、ドレイン用メタライズ層14、ゲート用メタライズ層15に、ソース電極端子21S、ドレイン電極端子21D、ゲート電極端子21Gが接合される。

このような実施例によれば、つぎのような効果が得られる。

(1) 本発明の半導体装置は、チップの電極に達

する1回の作業によって、チップボンディングと、複数の電極とベースのメタライズ層との接合が同時に行える結果、組立工数の低減が達成できるという効果が得られる。

(6) 上記(1)～(5)により、本発明によれば、小型でかつ高周波特性の優れた半導体装置を提供することができるという相乗効果が得られる。

以上本発明者によってなされた発明を実施例に基づき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。たとえば、ゲートから複数本のゲート電極を設け、かつこれらのゲート電極にそれぞれチップ裏面の電極端子に連なるパッドを形成する構造としても前記実施例同様な効果が得られる。

以上の説明では主として本発明者によってなされた発明をその背景となった利用分野であるGaAs-MESFETの製造技術に適用した場合について説明したが、それに限定されるものではなく、たとえば、シリコンによるICやGaAsI

C等あるいはHEMTの製造技術などに適用できる。

本発明は少なくとも半導体装置の製造技術には適用できる。

〔発明の効果〕

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

すなわち、本発明の半導体装置は、セラミックからなるベースの主面にチップを搭載するが、チップにおけるソース電極、ドレイン電極、ゲート電極に連なるパッドは、チップを貫通して充填された導体を介してチップ裏面の電極端子に電気的に繋がりを、これら電極端子がベース上のメタライズ層に固定されるダイレクトボンディング構造となっていることから、組立の作業性が良好となる。また、本発明の半導体装置は前記パッドを50 μ m以下とすることもでき、寄生容量低減から高周波特性の向上が達成できる。

4. 図面の簡単な説明

極端子、21G…ゲート電極端子、21S…ソース電極端子、22…ソース、23…ドレイン、24…ゲート、25…ソース電極、26…ドレイン電極、27…ゲート電極、28…ソースパッド、29…ドレインパッド、30…ゲートパッド、32, 33, 34…導体、35…半絶縁性基板、36…能動層、37…オーミックコンタクト層、40…絶縁膜、41…層間絶縁膜、42…バッシュベーション膜。

代理人 弁理士 小川勝男

第1図は本発明の一実施例によるSHF帯低雑音GaAs-MESFETを構成する半導体装置の概要を示す断面図、

第2図は同じくキャップを取り外した半導体装置の一部を模式化した平面図、第3図は同じくチップの模式的平面図、

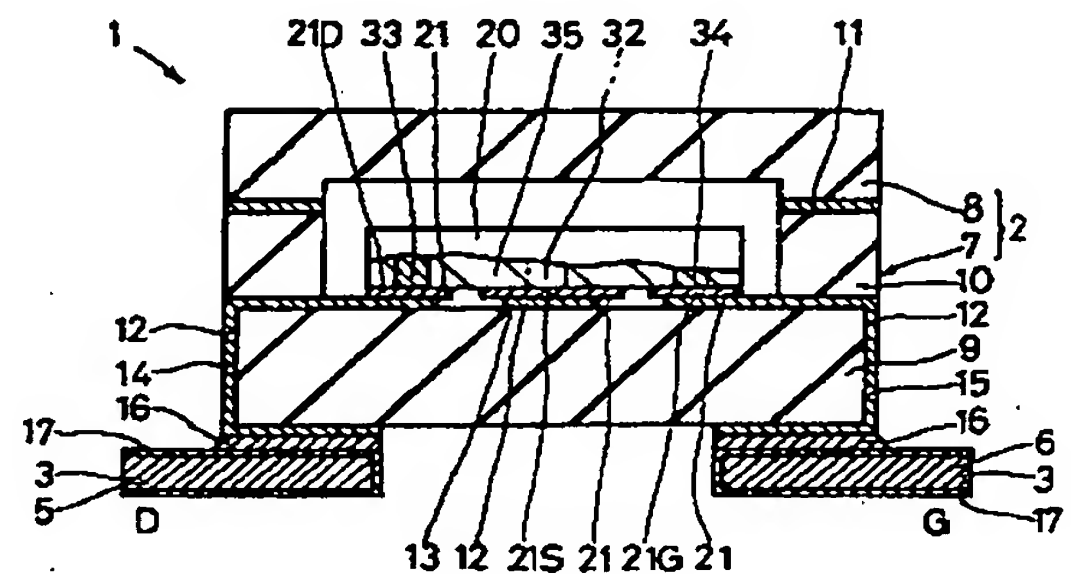
第4図は同じくチップの底面図、

第5図は同じくチップの拡大断面図、

第6図は同じくチップを取り外したベースの平面図である。

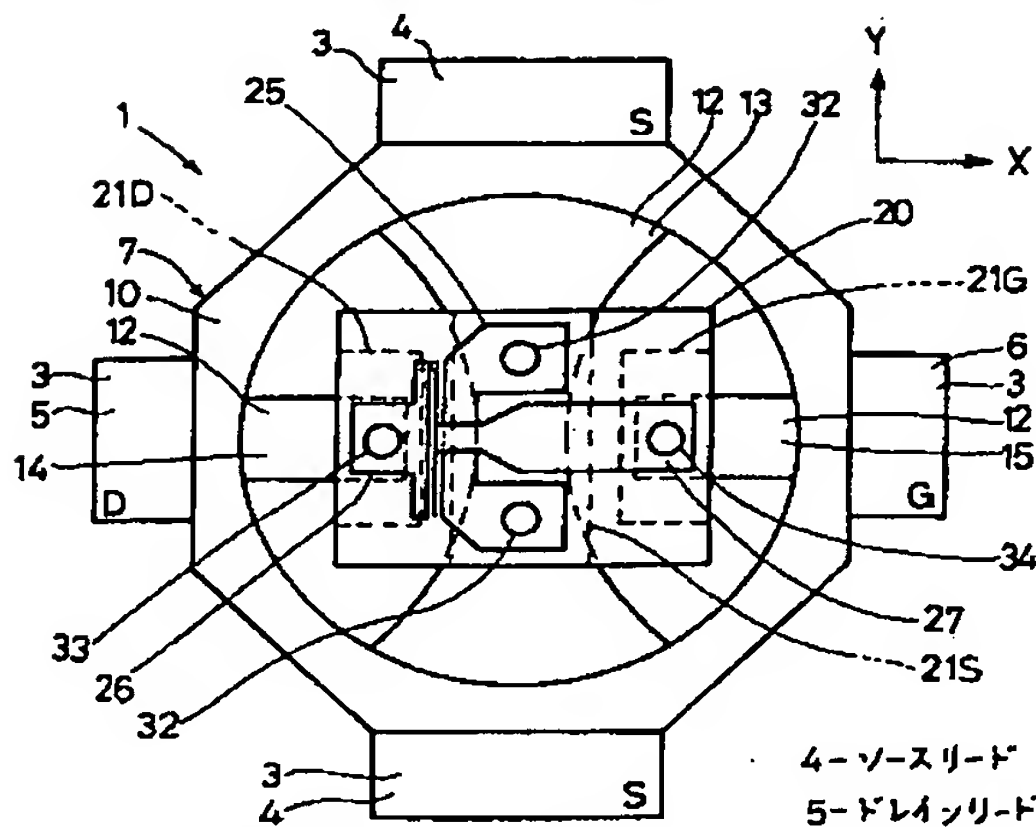
1…半導体装置、2…パッケージ、3…リード、4…ソースリード、5…ドレインリード、6…ゲートリード、7…ベース、8…キャップ、9…ベース本体、10…枠部、11…接合材、12…メタライズ層、13…ソース用メタライズ層、13S…ソース用接合部、14…ドレイン用メタライズ層、14D…ドレイン用接合部、15…ゲート用メタライズ層、15G…ゲート用接合部、16…接合材、17…メッキ膜、20…チップ(半導体素子)、21…電極端子、21D…ドレイン電

第 1 図

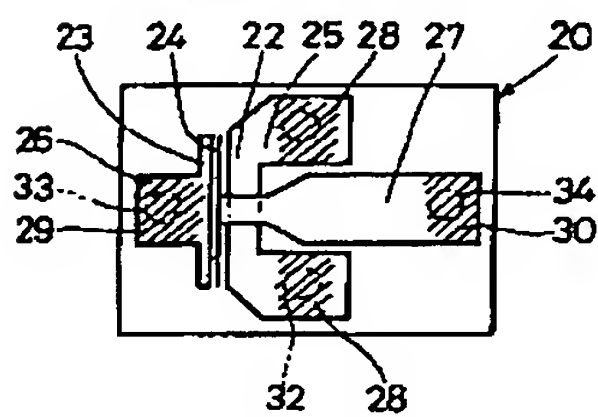


- | | |
|---------------|-----------|
| 1-半導体装置 | 2-パッケージ |
| 3-リード | 5-ドレインリード |
| 6-ゲートリード | 7-ベース |
| 8-キャップ | 12-メタライズ層 |
| 20-チップ | 21-電極端子 |
| 32, 33, 34-導体 | |

第 2 図

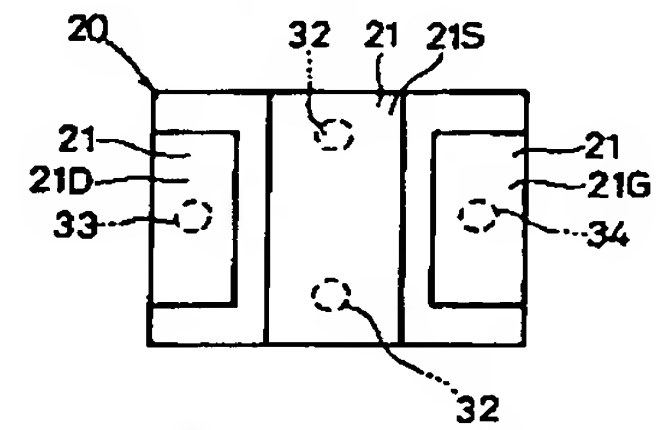


第 3 図

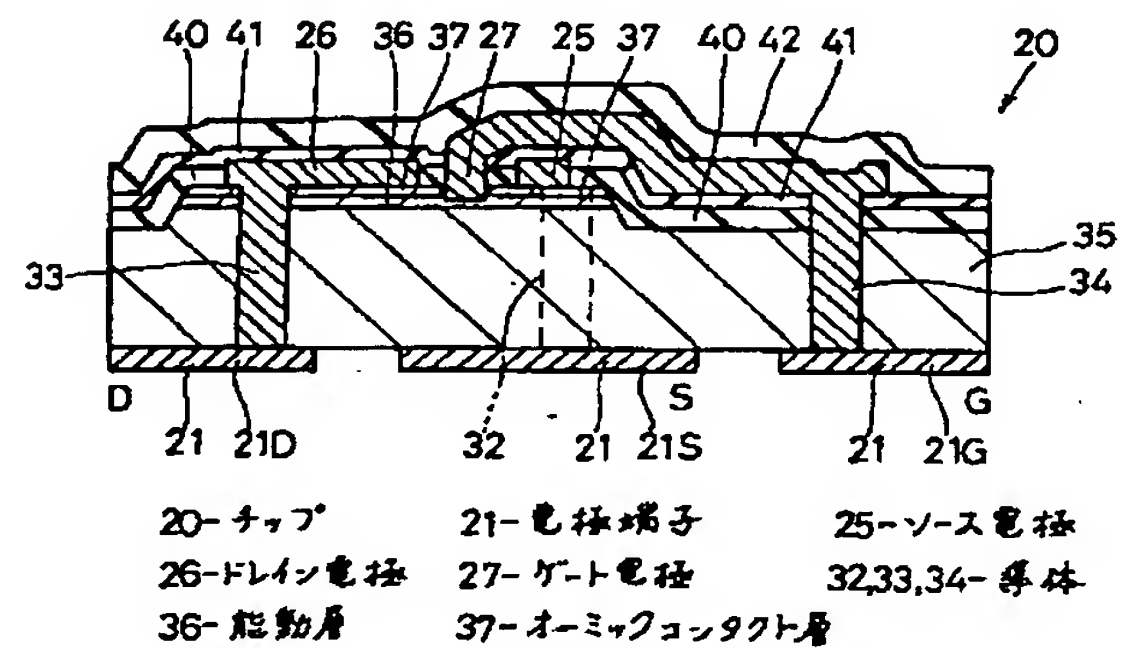


- 4-ソースリード
- 5-ドレインリード
- 6-ゲートリード
- 12-メタライズ層
- 20-チップ
- 25-ソース電極
- 26-ドレイン電極
- 27-ゲート電極
- 28-ソースパッド
- 29-ドレインパッド
- 30-ゲートパッド
- 32,33,34-導体

第 4 図

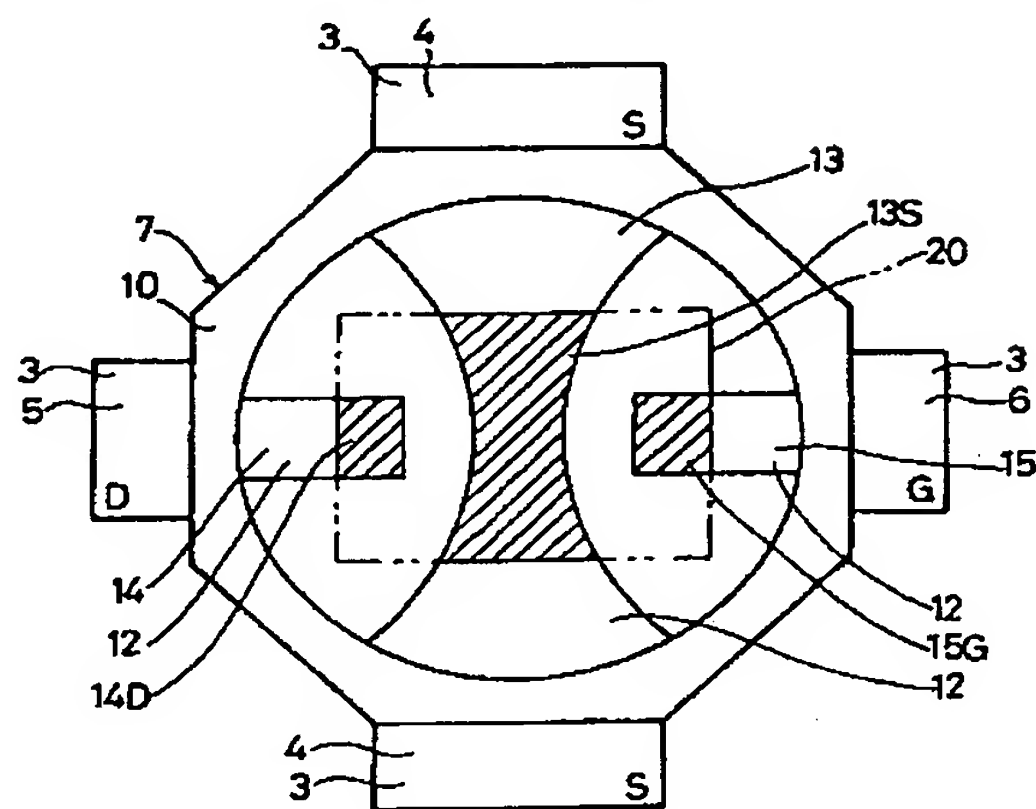


第 5 図



- 20-チップ
- 21-電極端子
- 25-ソース電極
- 26-ドレイン電極
- 27-ゲート電極
- 32,33,34-導体
- 36-絶縁層
- 37-オーミックコンタクト層

第 6 図



- 4-ソースリード
- 5-ドレインリード
- 6-ゲートリード
- 13-ソース用メタライズ層
- 13S-ソース用接合部
- 14-ドレイン用メタライズ層
- 14D-ドレイン用接合部
- 15-ゲート用メタライズ層
- 15G-ゲート用接合部